

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-083335

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

H03K 19/00
G11C 11/413
G11C 11/407
H01L 27/04
H01L 21/822
H01L 21/8238
H01L 27/092
H03K 19/094
H03K 19/096

(21)Application number : 08-125085

(71)Applicant : HYUNDAI ELECTRON IND CO LTD

(22)Date of filing : 20.05.1996

(72)Inventor : JEUNG WON SEO

(30)Priority

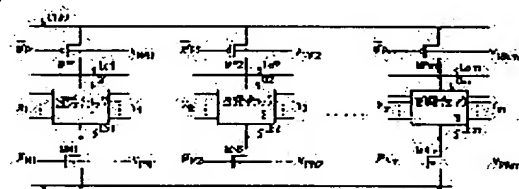
Priority number : 95 9512617 Priority date : 19.05.1995 Priority country : KR

(54) SEMICONDUCTOR DEVICE FOR REDUCING POWER CONSUMPTION IN STANDBY STATE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption by providing MOS transistors which are turned off when a partial circuit block is in a standby state and in which threshold voltage rises and threshold down current reduces with the control of substrate voltage.

SOLUTION: In the voltage V_{NW1} of an N well in which PMOS (MPi) is formed, voltage V_{NW-SB} in the standby state increases by a prescribed value compared to voltage V_{NW-AC} in an operation state. In the voltage V_{PW1} of a P well in which NMOS (MNi) is formed, voltage V_{PW-SB} in the standby state reduces by the prescribed value compared to voltage V_{PW-AC} in the operation state and respective threshold voltage values of PMOS (MPi) and NMOS (MNi) increase with body effect. Threshold down current of PMOS (MPi) and NMOS (MNi) in the standby state reduces. The respective well voltages of PMOS (MPi) and NMOS (MNi) are made different in the standby state and the operation state.



LEGAL STATUS

[Date of request for examination]

30.01.1998

[Date of sending the examiner's decision of rejection]

22.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-83335

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/00			H 0 3 K 19/00	A
G 1 1 C 11/413			19/096	B
	11/407		G 1 1 C 11/34	3 3 5 C
H 0 1 L 27/04				3 5 4 F
21/822			H 0 1 L 27/04	F

審査請求 未請求 請求項の数5 OL (全6頁) 最終頁に続く

(21) 出願番号 特願平8-125085

(22) 出願日 平成8年(1996)5月20日

(31) 優先権主張番号 1 9 9 5 P 1 2 6 1 7

(32) 優先日 1995年5月19日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 583160415

ヒュンダイ エレクトロニクス インダス
トリーズ カンパニー リミテッド
大韓民国 467-860 キョウンキド イチ
ヨンクン プバリュブ アミーリ サン
136-1

(72) 発明者 ソー ジョンウォン

大韓民国 467-860 キョウンキド イチ
ヨンクン プバリュブ アミーリ サン
136-1 ヒュンダイ エレクトロニクス
インダストリーズ カンパニー リミテ
ッド内

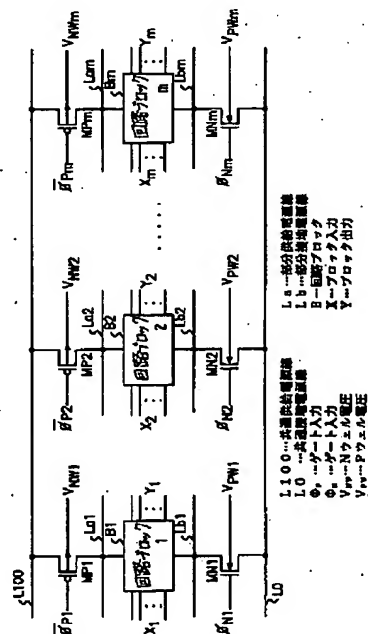
(74) 代理人 弁理士 長谷 照一 (外2名)

(54) 【発明の名称】 待機状態の電力消費を減少させるための半導体装置

(57) 【要約】

【課題】 複数の内部回路を有し論理動作をする半導体装置において、待機状態における電力消費を減らして省エネ化するとともに、待機状態から作動状態への移行の速い回路を提供する。

【解決手段】 複数の内部回路に対して共通に所定の電源を供給する共通供給電源線および共通接地電源線を具備してなり、内部回路の中でその回路の待機状態と作動状態が同一のタイミングを有する回路ごとに複数の下位の部分回路ブロックに分けて構成し、それら部分回路ブロックと共通供給電源線または共通接地電源線の間の少なくとも一方にMOSTランジスタを介在させて、そのMOSTランジスタは、部分回路ブロックが待機状態の時にターンオフされ、かつ基板電圧を調節することよりしきい電圧が上昇してしきい下電流が減少する構成にする。



【特許請求の範囲】

【請求項1】 半導体装置の複数の内部回路に対して共通に所定の電源を供給する共通供給電源線および共通接地電源線を具備する半導体装置において、
上記内部回路の内でその回路の待機状態と作動状態が同一のタイミングを有する回路ごとに複数の下位の部分回路ブロックに分けて構成し、

それら部分回路ブロックと上記共通供給電源線または上記共通接地電源線の間の少なくとも一方に具備されて、上記部分回路ブロックが待機状態の時にターンオフされ、かつ基板電圧を調節することよりしきい電圧が上昇してしきい下電流が減少する第一のMOSTランジスタを具備することを特徴とする待機状態の電力消費を減少させるための半導体装置。

【請求項2】 請求項1に記載の待機状態の電力消費を減少させるための半導体装置であって、

上記部分回路ブロック内の所定の回路点が待機状態で定まった論理レベルを呈する場合、上記部分回路ブロックを構成する第二のMOSTランジスタの内のしきい下電流の経路になる第二のMOSTランジスタは、上記第一のMOSTランジスタを介して上記共通供給電源線または上記共通接地電源線に連結し、しきい下電流の経路にならない残りの第二のMOSTランジスタは、直接的に上記共通供給電源線または上記共通接地電源線に連結して構成することを特徴とするもの。

【請求項3】 請求項1または請求項2に記載の待機状態の電力消費を減少させるための半導体装置であって、上記共通供給電源線と上記部分回路ブロックの間の第一のMOSTランジスタは、連結された部分回路ブロックが待機状態の時に論理レベルHがゲート電極に入力され、作動状態の時に論理レベルLがゲート電極に入力されて、作動状態の時に待機状態の時より所定値だけ小さい基板電圧を呈するPチャンネルMOSTランジスタで構成されることを特徴とするもの。

【請求項4】 請求項3に記載の待機状態の電力消費を減少させるための半導体装置であって、上記共通接地電源線と上記部分回路ブロックの間の第一のMOSTランジスタは、連結された部分回路ブロックが待機状態の時に論理レベルLがゲート電極に入力され、作動状態の時に論理レベルHがゲートに入力されて、作動状態の時に待機状態の時より所定値だけ大きい基板電圧を呈するNチャンネルMOSTランジスタで構成されることを特徴とするもの。

【請求項5】 請求項4に記載の待機状態の電力消費を減少させるための半導体装置であって、上記第一のMOSTランジスタは、上記部分回路ブロックを構成する第二のMOSTランジスタに影響を及ぼすことなく自由に基板電圧を調節することが可能なように独立したウェル内に形成されたことを特徴とするもの。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、待機状態のサブスレッシュホールドカレント（しきい下電流）により消費される電力を減少させるための半導体装置に関するもので、ロングチャンネル（Long Channel）トランジスタに比べてカットオフ特性が劣るディープサブミクロンMOSトランジスタ（Deep Submicron MOS Transistor）を使用するギガビット（G-bit）級のメモリや論理素子に適用して、待機状態の電流（standby current）を著しく減少させることにより、待機状態の電力消費を減少させるための半導体装置に関するものである。

【0002】

【従来の技術】従来、半導体回路において、メモリ素子や論理素子を複数組み合わせる場合は、一般には、図6の構成概念を示す回路図に見られるように、各部分的回路である回路ブロックBOに電源を供給するのに、大型装置全体への共通（大域）の供給電源線（global power line）L100と共通の接地電源線（global ground line）LOを直接これら部分的な回路ブロックBOに連結して使用するのが通例である。

【0003】

【発明が解決しようとする課題】しかし、そのように、電源線（給電側および接地側）を部分回路ブロックに直接接続する構成を採ると、ディープサブミクロンMOSトランジスタ（deep submicron MOS transistor）を使用する場合には、トランジスタがカットオフ状態（つまり、しきい電圧未満）でもしきい下電流（sub-threshold current）が多く流れることになって、待機状態にある方の回路の電力消費（本来ゼロであってほしい）が無用に大きく増加する問題点がある。そのような問題点は、根本的には、MOSTランジスタの大きさが小さくなるに従いしきい電圧が小さくなるのに伴って、トランジスタのしきい領域内の $|V_{GS} < V_T|$ （ここに、 V_{GS} はゲートソース間電圧、 V_T はしきい電圧）の範囲でも、しきい下電流が増加するために、発生する。したがって、ディープサブミクロンMOSTランジスタを使用して回路を構成するギガビット級のメモリ論理素子においては、待機状態の電力消費が非常に深刻な問題点になる。

【0004】このため、待機状態の電力消費を防止するためのいくつかの回路技術が発表されており、その中の一つとして日本のHitachiが発表した「Switched-Source Impedance CMOS Circuit」（IEEE Journal of Solid State Circuits、第28巻、11号、1993年11月）の回路技術が一番代表的である。しかし、Hitachiの回路技術でも、待機状態のしきい下電流を顕著に減少させることはできても、回路動作の遅延を増加させるばかりでなく、待機状態（standby state）から作動状態（active state）への移行も遅く、全体回路の

性能を向上させるには未だ不十分である。

【0005】したがって、この発明は、待機状態から作動状態への移行が速く、そして待機状態におけるしきい下電流を減少させて、電力消耗の少ない半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために、この発明による待機状態の電力消耗を減少させるための半導体装置は、複数の内部回路に対して共通に所定の電源を供給する共通供給電源線および共通接地電源線を具備する半導体装置において、上記内部回路の内でのその回路の待機状態と作動状態が同一のタイミングを有する回路ごとに複数の下位の部分回路ブロックに分けて構成し、それら部分回路ブロックと上記共通供給電源線または上記共通接地電源線の間の少なくとも一方に具備されて、上記部分回路ブロックが待機状態の時にターンオフされ、かつ基板電圧を調節することよりしきい電圧が上昇してしきい下電流が減少するMOSTランジスタを具備して構成したものである。

【0007】

【発明の実施の形態】以下、添付図面の図1～5を参照して、この発明を詳細に説明する。図1は、この発明の一実施例による半導体装置の構成概念を示す回路図で、共通（広域）供給電源線L100と共通（広域）接地電源線L0を各部分回路ブロックに直接連結しないで、待機状態と作動状態が同一である回路ごとに全体の回路ブロックを多数個（ m 個）の下位の回路ブロック、つまり部分回路ブロックBi（ここに、 $i=1, 2, \dots, m$ 、以下同様）に分けて、各々の部分回路ブロックBiに対して局所的（local）な部分供給電源線Laiと局所的な部分接地電源線Lbiを、それぞれスイッチング手段であるPチャンネルMOSTランジスタ（PMOS）MPiとNチャンネルMOSTランジスタ（NMOS）MNiを介して共通供給電源線L100と共通接地電源線L0に連結して、装置全体の回路を階層構造に構成し、PMOS（MPi）とNMOS（MNi）を形成するそれぞれのNウェルとPウェルは、メモリや論理素子を構成する他のMOSTランジスタを形成するウェルから分離されるように、具現する。Xiは、部分回路ブロックBiへの入力信号であり、Yiは、部分回路ブロックBiからの出力信号である。また、 $\bar{\Phi}_{pi}$ は、PMOSトランジスタMPiへ加えられる制御入力信号の逆相分であり（ここに、文中の記号 $\bar{}$ は、図面中の符号文字の上方に引かれた横線に相当し、信号の逆相分を表す）、 Φ_{ni} は、NMOSTランジスタMNiへ加えられる制御入力信号の順相分である。さらに、 V_{nwi} は、PMOSTランジスタMPiが位置しているNウェルの電圧、 V_{pwi} は、NMOSTランジスタMNiが位置しているPウェルの電圧である。

【0008】図2は、図1の回路における制御信号など

のタイミング図で、PMOS（MPi）のゲートに入力される信号 $\bar{\Phi}_{pi}$ （図面では、添字のiが省略されている）は、それに連結されている部分回路ブロックBiが待機状態の時に論理レベルH（high）を呈し、作動状態の時に論理レベルL（low）を呈する。反面、NMOS（MNi）のゲートに入力される信号 Φ_{ni} は、それに連結されている部分回路ブロックBiが待機状態の時に論理レベルLを、作動状態の時に論理レベルHを呈する。したがって、部分回路ブロックBiが作動状態から待機状態になると、制御信号 $\bar{\Phi}_{pi}$ および Φ_{ni} によりPMOS（MPi）およびNMOS（MNi）がそれぞれターンオフされることにより、部分供給電源線Lai及び部分接地電源線Lbiは、それぞれ共通供給電源線L100および共通接地電源線L0から切り離されて、PMOS（MPi）とNMOS（MNi）を通して流れるしきい下電流により待機状態の電力消耗が決まる。

【0009】また、図2のように、PMOS（MPi）がその中に形成されているNウェルの電圧 V_{nwi} は、作動状態の時の電圧 V_{nw-ac} より待機状態の時の電圧 V_{nw-sb} が所定値だけ増加し、一方、NMOS（MNi）がその中に形成されているPウェルの電圧 V_{pwi} は、作動状態の時の電圧 V_{pw-ac} より待機状態の時の電圧 V_{pw-sb} が所定値だけ減少し、ボディエフェクト（body effect）によりPMOS（MPi）とNMOS（MNi）の各しきい電圧の大きさが増加するようになる。したがって、待機状態のPMOS（MPi）およびNMOS（MNi）のしきい下電流が顕著に減少して、電力消耗がその分減少する。

【0010】一方、待機状態から作動状態に移行すると、制御信号 $\bar{\Phi}_{pi}$ は、論理レベルHから論理レベルLに移行し、制御信号 Φ_{ni} は、論理レベルLから論理レベルHに移行し、同時に V_{nwi} は V_{nw-ac} に電圧が減少し、 V_{pwi} は V_{pw-sb} から V_{pw-ac} に電圧が増加して、PMOS（MPi）とNMOS（MNi）の各しきい電圧の大きさが小さくなることにより、速く作動状態になる。

【0011】すなわち、PMOS（MPi）とNMOS（MNi）の各々のウェル電圧を待機状態と作動状態とで異ならせるようにすることにより、待機状態ではしきい電圧の大きさを増加させてしきい下電流が減少されるようにし、作動状態ではしきい電圧の大きさを減少させるようにして、待機状態から作動状態への移行が速く行われるとともに、PMOS（MPi）とNMOS（MNi）の電流駆動能力を増加させる。

【0012】なお、前記の図1で共通供給電源線L100および共通接地電源線L0は、それらの内でいずれか一方を部分回路ブロックに直接連結して使用し、いずれか他方を部分電源線を利用する階層構造として使用することもできる。

【0013】ところで、一般的に、DRAMのようなメモリ素子は、大部分の内部ノード（internal nodes）の

ロジックレベル(LまたはH)が待機状態で一定に定められている。そのように待機状態で大部分のノードのロジックレベルが一定に定められている場合、より効率的にしきい下電流を減少させることができる。

【0014】図3は、待機状態で各ノード(回路点)のロジックレベルが定まっている内部回路(回路ブロック)に対する電源線(供給側および接地側)の接続の仕方を図示したもので、ここに例示した回路ブロックは3個のインバータが直列に連結された回路からなっており、待機状態における各インバータの入力端ノードの論理レベルは、 $n1$ がH、 $2n$ がL、 $n3$ がH、 $n4$ がLを維持できると仮定すれば、PMOS(MPa)、NMOS(MNb)、PMOS(MPc)のしきい下電流は、部分供給電源線Laiの電圧を低くして、部分接地電源線Lbiの電圧を高くすることになる。この場合、図3のように、しきい下電流の経路になるトランジスタのみを部分供給電源線Laiまたは部分接地電源線Lbiに連結し、残りのトランジスタを共通供給電源線L100または共通接地電源線L0に連結すると、しきい下電流の経路になるトランジスタMPa、MNb、MPcのゲートソース間に逆電圧がかかることになって、しきい下電流が著しく減少する。参考までに補足すると、MOSTランジスタのしきい下電流は、ゲートソース間に逆電圧が加わると、急激に減少する。

【0015】部分供給電源線Laiの電圧は、しきい下電流により共通供給電源線L100の電圧に比べて僅かに低くなり(ΔV_{DD})、逆に部分接地電源線Lbiの電圧は、共通接地電源線L0の電圧に比べて僅かに高くなる(ΔV_{SS})。したがって、トランジスタMPa、MPcのゲートソース間には、 ΔV_{DD} の逆バイアスがかかり、トランジスタMNbのゲートソース間には、 ΔV_{SS} の逆バイアスがかかることになる。

【0016】図4および図5は、この発明を具現化するためのトリプルウェルの構造概念を示す半導体の断面図である。共通供給電源線と部分供給電源線の間および共通接地電源線と部分接地電源線の間でそれぞれスイッチの役割をするPMOS(MPi)とNMOS(MNi)の基板電圧は、各部分回路ブロック(内部回路)を構成する他のトランジスタの基板電圧とは切り離されていなければならないから、それぞれ独立のウェルに形成すべきである。このため、スイッチの役割をするPMOS(MPi)とNMOS(MNi)を各々別個のウェルに形成してウェル電圧(基板電圧)を自由に設定できるようにトリプルウェル構造を採るのが適する。

【0017】図4は、P型基板10の上に互いに独立した第1Nウェル1および第2Nウェル2、上記第1Nウェル1および第2Nウェル2と独立した第1Pウェル3、そして上記第1Nウェル1の内部に形成される第2Pウェル4を有するトリプルウェル構造を示している。ここで、共通供給電源線と部分供給電源線の間でスイ

チの役割をするPMOS(MPi)は、独立した上記第2Nウェル2内に形成され、共通接地電源線と部分接地電源線の間でスイッチの役割をするNMOS(MNi)は第2Pウェル4内に形成される。したがって、ウェル電圧 V_{NW1} および V_{PW1} が変わっても、回路を構成している他のトランジスタには影響が及ばない。

【0018】図5は、他の実施例によるウェル構造を示すもので、N型基板20の上に互いに独立した第1Pウェル11および第2Pウェル12、上記第1Pウェル11および第2Pウェル12と独立した第1Nウェル13、そして上記第1Pウェル11の内部に形成される第2Nウェル14を有するトリプルウェル構造を示している。ここで、共通供給電源線と部分供給電源線の間でスイッチの役割をするPMOS(MPi)は、独立した上記第2Nウェル14内に形成され、共通接地電源線と部分接地電源線の間でスイッチの役割をするNMOS(MNi)は、上記第2Pウェル12内に形成される。したがって、ウェル電圧 V_{NW1} および V_{PW1} が変わっても、回路を構成している他のトランジスタには影響が及ばない。

【0019】そして、共通供給電源線L100および共通接地電源線L0の内のいずれか一方は、部分回路ブロックに直接連結して使用し、他方は部分電源線(給電側または接地側)を利用した階層構造として使用する場合には、図4でスイッチングトランジスタが形成される第2Pウェル4または第2Nウェル2の内のいずれか一方だけを形成すればよく、図5でも同じ原理でウェルを省略して形成することができる。

【0020】

【発明の効果】以上説明したように、この発明によれば、半導体回路を採用した装置において、待機状態から作動状態への移行が速いことと同時に、待機状態のしきい下電流を減少させて電力消費を減少させることができるので、低電力消費が要求される携帯用電子製品に使用される超高集積度メモリ素子や論理素子の信頼性を向上させる効果がある。

【0021】以上に説明したこの発明は、前述の実施例および添付の図面により限定されるのではなく、この発明の技術的思想の範囲を逸脱しない範囲内で、いろいろと置換、変形および変更が可能であることが、この発明の属する技術の分野における通常の知識を有する者において明白であろう。

【図面の簡単な説明】

【図1】 この発明による半導体装置の実施例の構成概念を示す回路図である。

【図2】 図1の回路における制御信号のタイミング図である。

【図3】 この発明による半導体装置の他の実施例の構成概念を示す回路図である。

【図4】 この発明による半導体装置のトリプルウェル

構造の部分を示す断面図である。

【図5】 この発明による半導体装置のトリプルウェル構造の部分を示す断面図である。

【図6】 従来の半導体装置の構成概念を示す回路図である。

【符号の説明】

B 0…全体回路ブロック、

B 1、B 2、…、B m…部分回路ブロック、

X…全体回路ブロックの入力

X 1、X 2、…、X m…部分回路ブロックの入力

Y、全体回路ブロックの出力

Y 1、Y 2、…、Y m…部分回路ブロックの出力

L 1 0 0…共通供給電源線

L a 1、L a 2、…、L a m…部分供給電源線

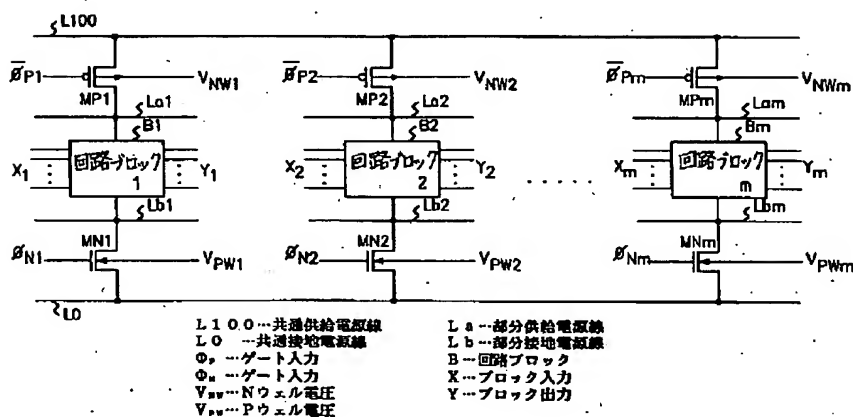
L 0…共通接地電源線

L b 1、L b 2、…、L b m…部分接地電源線

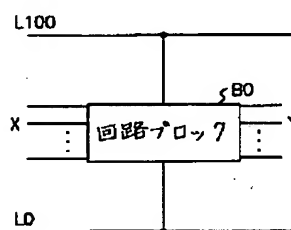
MP 1、MP 2、…、MP m…スイッチングトランジスタ

MN 1、MN 2、…、MN m…スイッチングトランジスタ

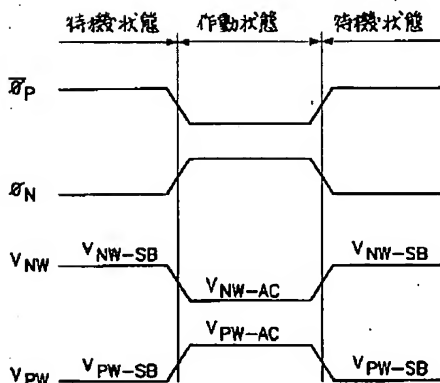
【図1】



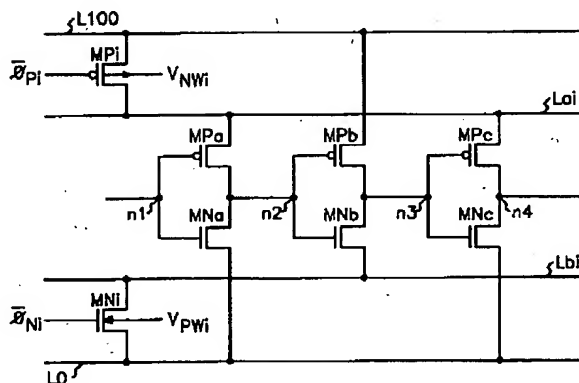
【図6】



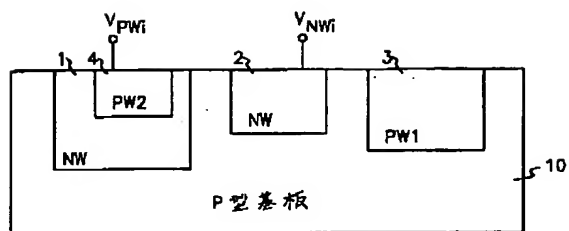
【図2】



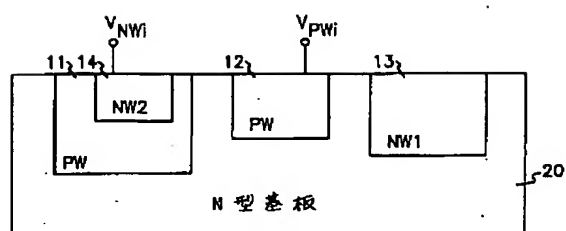
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁶

H01L 21/8238

27/092

H03K 19/094

19/096

識別記号

庁内整理番号

FI

H01L 27/08

H03K 19/094

技術表示箇所

321L

D